

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-201230
(43)Date of publication of application : 31.07.1998

(51)Int.CI. H02M 3/28
H02M 1/08

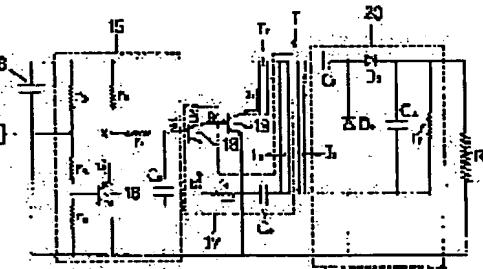
(21)Application number : 08-360079 (71)Applicant : NAGANO AICHI DENKI KK
(22)Date of filing : 27.12.1996 (72)Inventor : KOBAYASHI TOMIICHI
SAKAI MASAO

(54) DC HIGH VOLTAGE POWER SUPPLY DRIVE CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent generation of parasitic vibration and noise by forming a self-excited oscillation circuit which positively feeds back an electromotive force generated in a base coil of a voltage boosting transformer to the base of power transistor via capacitor, resistor and junction type transistor.

SOLUTION: When a negative electromotive force generated in a base coil TB, of a voltage boosting transformer T is reduced, a current IB flowing into the base of a junction type transistor 18 from a resistor r7 responding to the PWM signal increases against a negative current flowing to the base from the collector of the junction type transistor 18 via a resistor r8 and this condition is maintained until the positive base current IB starts to flow into the base of the power transistor 19. When the positive base current IB starts to flow to the base of the power transistor 19, the power transistor 19 enters the same ON condition as that in the initial stage and thereby the power transistor repeats the ON and OFF conditions for the self-excited oscillating operation.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-201230

(43)公開日 平成10年(1998)7月31日

(51)Int.Cl.
H 02 M 3/28

識別記号

1/08 3 3 1

F I
H 02 M 3/28

1/08 3 3 1 Z

Q
F

審査請求 未請求 請求項の数4 書面 (全9頁)

(21)出願番号

特願平8-360079

(22)出願日

平成8年(1996)12月27日

(71)出願人 392008080

長野愛知電機株式会社

長野県長野市川中島町原1280番地

(72)発明者 小林 富一

長野県長野市川中島町原1280 長野愛知電機株式会社内

(72)発明者 酒井 雅雄

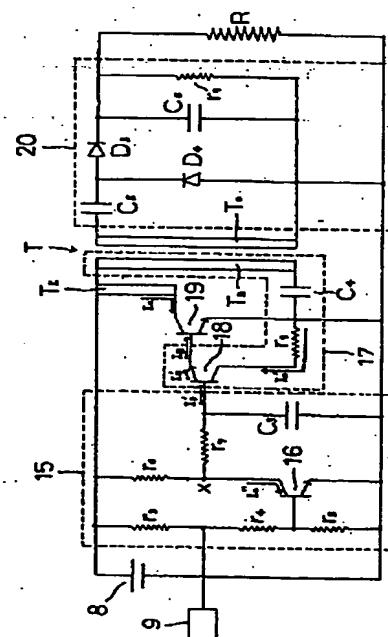
長野県長野市川中島町原1280 長野愛知電機株式会社内

(54)【発明の名称】 直流高電圧電源の駆動回路

(57)【要約】

【目的】 例えば、複写機に用いる直流高電圧電源の出力電圧を、PWM信号のデューティ比に対してリニアに可変せしめることを目的とする。

【構成】 パワートランジスタ19と昇圧トランジスタTと高電圧整流平滑回路20を主体として構成された直流高電圧電源において、パワートランジスタ19のオン/オフ制御を、昇圧トランジスタTのベース巻線TBに発生する起電力を前記パワートランジスタ19のベースに正帰還する自励発振方式により行うようにしたことを特徴とする。



【特許請求の範囲】

【請求項 1】 直流電源により駆動され、その出力から直流高電圧を出力する昇圧方式のスイッチング直流高電圧電源の駆動回路において、入力巻線と出力巻線及びベース巻線を有し、その出力巻線から交流高電圧を出力する昇圧トランジスタと、前記出力巻線に接続された整流器及びコンデンサより成る高電圧整流平滑回路と、前記昇圧トランジスタの入力巻線への印加電圧をオン／オフするパワートランジスタと、前記昇圧トランジスタのベース巻線とパワートランジスタのベース間に挿設した電流制御手段を具備して前記パワートランジスタのベース電流を制限し、前記昇圧トランジスタおよび高電圧整流平滑回路よりなる昇圧回路の共振周波数と前記パワートランジスタのオン／オフタイミングを一致させるように構成した同期駆動回路と、前記電流制御手段を制御する制御回路とを備え、前記制御回路は外部より与えられる PWM信号のデューティ比に応じて、前記電流制御手段の電流制限値をリニアに可変して、直流高電圧の出力電圧をリニアに変化させるように構成したことを特徴とする直流高電圧電源の駆動回路。

【請求項 2】 前記パワートランジスタのベース電流を制限する電流制御手段は、接合形トランジスタと、前記接合形トランジスタのコレクタと昇圧トランジスタのベース巻線との間に挿設した抵抗及びコンデンサにより構成したことを特徴とする請求項 1 記載の直流高電圧電源の駆動回路。

【請求項 3】 前記 PWM信号のデューティ比に対応する電流制御手段の電流制限値は、抵抗とコンデンサによる 1 次ローパスフィルタによるシリアル D/A 変換回路によって生成した PWM 信号のデューティ比に応じたアナログ信号電圧によって、接合形トランジスタのコレクタ電流の飽和値を制御することにより設定するようにしたことを特徴とする請求項 1 または請求項 2 記載の直流高電圧電源の駆動回路。

【請求項 4】 前記同期駆動回路は、前記昇圧トランジスタのベース巻線に発生する起電力を、コンデンサ、抵抗および接合形トランジスタを介して前記パワートランジスタのベースに正帰還するように構成した自励発振回路からなり、PWM 信号の周波数と無関係に設定可能としたことを特徴とする請求項 1 ないし 3 記載の直流高電圧電源の駆動回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、直流高電圧電源の電圧制御技術に関し、特に昇圧トランジスタとパワートランジスタ及び高電圧整流平滑回路を主体として構成された自励発振による直流高電圧電源の出力電圧を、 PWM 信号のデューティ比に応じてリニアに追従可能とした直流高電圧電源の駆動回路の改良に関するものである。

【0002】

【從来の技術】 近年、電子写真技術を応用した製品として複写機（コピー）、レーザープリンタ（LBP）、ファックス（FAX）等が普及してきた。前記電子写真技術を応用した製品のうち複写機の像形成部を図 2 に示す。図 2 において、1 は感光体ドラムであり、2 はコロナ帯電器 3 により帯電した前記感光体ドラム 1 の表面に潜像を形成する露光器であり、また、4 は前記潜像を可視化する現像器であり、5 は前記可視像を記録紙に転写する転写器である。さらに、6 は前記記録紙に転写された可視像を定着させる定着器であり、7 は記録紙と感光体ドラム 1 の分離および感光体ドラム 1 の残留電荷の除電を行う除電器である。

【0003】 前記複写機において静電化像を形成するためには必ず直流高電圧電源が必要とされ、特に、図 2 に示した複写機の像形成部において、コロナ帯電器、現像器、転写器等に使用されている。

【0004】 そして、従来、例えば、複写機等画像形成装置に使用する直流高電圧電源の駆動回路としては、図 6 に示すようなものが使用されていた。図 6 において、8 は、昇圧トランジスタ T の入力巻線 T₁ に直列に接続されて、この昇圧トランジスタ T に電力を供給する直流電源を示し、r₁ は後述するパルス幅変調回路 9 の出力端に接続され、前記昇圧トランジスタ T の入力巻線 T₁ への印加電圧をオン／オフするパワートランジスタ 10 のベース電流を設定するために挿入した抵抗である。また、r₂ は、抵抗 r₁ とパワートランジスタ 10 のベースとの接続点に接続されて、前記パワートランジスタ 10 のコレクタ・ベース間の漏れ電流およびベース・エミッタ間の蓄積電荷をバイパス放電するために設けた抵抗であり、前記パワートランジスタ 10 の誤動作およびオフ動作の高速化を図るためのものである。

【0005】 つづいて、11 は整流器 D₁、D₂ およびコンデンサ C₁、C₂ によって構成され、昇圧トランジスタ T の出力巻線 T₀ より出力される電圧を平滑する所謂倍電圧方式の高電圧整流平滑回路を示し、R は前記高電圧整流平滑回路 11 からの出力電圧によって制御される制御対象物、例えば、複写機の像形成部における露光器等の負荷である。

【0006】 次に、前記パルス幅変調回路 9 の構成を図 3 により説明する。パルス幅変調回路 9 は、図 3 に示すように、一定の周期で発振される三角波発振回路 12 と、その三角波発振回路 12 の出力電圧と比較される比較電圧を生成する比較電圧生成回路 13 と、前記三角波発振回路 12 および比較電圧生成回路 13 から出力される 2 つの出力電圧を比較して、その比較結果に対応した矩形状の電圧波を出力する電圧比較回路 14 を備えている。

【0007】 前記三角波発振回路 12 は、例えば、オーブンコレクタ出力のコンバレータ CP 1 を備えており、このコンバレータ CP 1 の非反転入力端子には、3 つの

抵抗R₁, R₂, R_xの一端がそれぞれ接続されている。抵抗R₁の他端は三角波発振回路12の定電圧電源V_{cc}に、抵抗R₂の他端はGNDに、抵抗R_xの他端はコンパレータCP1の出力端子に、それぞれ接続されている。

【0008】コンパレータCP1の出力端子には、前記抵抗R_xおよび2つのプルアップ形の抵抗R₃, R_tの一端がそれぞれ接続されており、また、抵抗R₃の他端は三角波発振回路12の定電圧電源V_{cc}に、更に、抵抗R_tの他端はコンパレータCP1の反転入力端子に、それぞれ接続されている。コンパレータCP1の反転入

力端子には、前記抵抗R_tの他に、タイミングコンデンサC_tの一端も接続されており、このタイミングコンデンサC_tの他端はGNDと接続されている。

【0009】そして、次式(1), (2)に示すように、前記三角波発振回路12のコンパレータCP1の非反転入力端子には、コンパレータCP1からの出力が“H”の時にはV'_{sH} [V]の電圧が印加され、コンパレータCP1からの出力が“L”の時にはV'_{sL} [V]の電圧が印加される。

【0010】

【数1】

$$V'_{sH} = E + \frac{R_a}{R_a + R_x} (V_{cc} - E) [V] \quad \dots \dots \dots (1)$$

$$V'_{sL} = E + \frac{R_a}{R_a + R_x} (-E) [V] \quad \dots \dots \dots (2)$$

なお、

$$E = \frac{R_2}{R_1 + R_2} \cdot V_{cc} [V] \quad \dots \dots \dots (3)$$

$$R_a = \frac{R_1 \cdot R_2}{R_1 + R_2} [\Omega] \quad \dots \dots \dots (4)$$

【0011】次に、この三角波発振回路12の発振動作について説明する。コンパレータCP1からの出力が“H”的時には、タイミングコンデンサC_tはプルアップ形の抵抗R₃と抵抗R_tを介して充電され、徐々に、その端子間電圧が上昇する。この時、コンパレータCP1の非反転入力端子にはV'_{sH} [V]の電圧が印加されているので、充電によりタイミングコンデンサC_tの端子間電圧がV'_{sH} [V]を越えるまでは、コンパレータCP1は“H”出力を維持する。そして、タイミングコンデンサC_tの端子間電圧がV'_{sH} [V]を越えると、コンパレータCP1の出力は“H”から“L”に反転する。

【0012】コンパレータCP1の出力が“L”になると、抵抗R_tとコンパレータCP1を介して、タイミングコンデンサC_tの放電が開始される。この放電に伴い、コンパレータCP1の非反転入力端子にはV'_{sL} [V]の電圧が印加される。このため、タイミングコンデンサC_tの端子間電圧が放電によってV'_{sL} [V]より低くなるまでは、コンパレータCP1の“L”出力は維持される。タイミングコンデンサC_tの端子間電圧がV'_{sL} [V]より低くなると、コンパレータCP1の出力は“L”から“H”に反転し、再びタイミングコンデンサC_tの充電が開始される。

【0013】前記のように、タイミングコンデンサC_tは、一定の周期で充放電を繰り返し、その端子間電圧は三角波状の電圧波となる。この電圧波の最大値はV'_{sH} [V]であり、最小値はV'_{sL} [V]である。そ

して、この三角波状の電圧波が三角波発振回路12の出力電圧として、後述する電圧比較回路14に入力される。

【0014】図3に示す比較電圧生成回路13は、定電圧電源V_{cc}とGND間に接続された可変抵抗VRと、その可変抵抗VRから出力される出力電圧を安定させるコンデンサCIとを備えている。可変抵抗VRの滑動子Sを移動操作（本図では上下）すると、この比較電圧生成回路13から出力される比較電圧の値が可変される。即ち、可変抵抗VRの滑動子Sを上側に移動すると比較電圧値は上昇し、可変抵抗VRの滑動子Sを下側に移動すると比較電圧値は下降するのである。

【0015】また、前記電圧比較回路14は、オーブンコレクタ出力のコンパレータCP2と、そのプルアップ抵抗R4とを備えている。コンパレータCP2の反転入力端子には三角波発振回路12の出力電圧が印加され、非反転入力端子には比較電圧生成回路13の比較電圧が印加される。よって、比較電圧生成回路13の比較電圧が三角波発振回路12の出力電圧より高い場合には、電圧比較回路14のPWM端子からは“H”的出力が行われ、逆に、低い場合には“L”的出力が行われる。

【0016】このようにパルス幅変調回路9から出力される電圧波は“H”または“L”的矩形波となり、その周波数は三角波発振回路12の出力電圧の周波数と一致する。また、パルス幅変調回路9から出力される電圧波のデューティ比は、比較電圧生成回路13によって生成される比較電圧を上下することにより変更される。即

ち、比較電圧を上げると、パルス幅変調回路9から出力される矩形波のデューティ比は大きくなり、逆に、比較電圧を下げるときその矩形波のデューティ比は小さくなる。

【0017】このように、所定のデューティ比に調節された“H”および“L”的電圧値を有するPWM信号は、パルス幅変調回路9の出力端から図6に示す抵抗r₁を介してパワートランジスタ10のベースに入力される。そして、前記パワートランジスタ10は、抵抗r₁を介してベースに入力した電圧値が“H”的時はオンし、“L”的時はオフする。

【0018】その結果、昇圧トランジスタTの入力巻線T₁には、パワートランジスタ10のオン時、このパワートランジスタ10のベースに流れる電流値によって制御されるコレクタ電流が流れ、前記昇圧トランジスタTの出力巻線T₀には、所定の巻数比に従って昇圧され、かつ、前記パワートランジスタ10のオン時間に比例した、言い換れば、PWM信号のデューティ比に比例した電圧値が誘起される。この後、前記出力巻線T₀の出力電圧は、高電圧整流平滑回路11により平滑され、複写機等の像形成部を構成する露光器等、制御対象物である負荷Rを制御する。

【0019】

【発明が解決しようとする課題】しかしながら、前記従来の直流高電圧電源の駆動回路においては、外部からの駆動信号（PWM信号）によりパワートランジスタ10を直接駆動する、いわゆる他励発振回路方式が採用されているため、昇圧トランジスタTおよび前記高電圧整流平滑回路11と負荷Rの条件により定まる共振周波数とPWM信号の周波数が一致せず、そのため寄生振動してしまい、騒音が生じることがあった。

【0020】また、湿度や温度変化に伴い負荷変動が生じた場合などには、出力巻線T₀の出力電圧波形にスパイク電圧やリンギング電圧が多量に発生して、その波形には乱れが生じていた。特に、スパイク電圧は、その大きさがそのまま出力巻線T₀の出力電圧に加算されるため、出力巻線T₀の出力電圧は、前記PWM信号のデューティ比に対し、リニア（正比例）の関係にならず、出力できるデューティ比の可変範囲が限定されるばかりか、選択されたデューティ比によっては、前記スパイク電圧やリンギング電圧が昇圧トランジスタへの供給電圧と干渉して入力巻線T₁に流れる電流が過電流になることもあります、制御対象物である、例えば、複写機の露光器等の負荷制御は不安定なものとなっていた。このため、前記スパイク電圧等を除去するために昇圧トランジスタTの入力巻線T₁と並列にスナバ回路を挿設して対応していたので、装置自体が大型化すると共に、部品点数が増加するため不経済であった。

【0021】本発明は、前記の課題に鑑みてなされたものであり、その目的は昇圧トランジスタと高電圧整流平滑回

路よりなる昇圧回路の共振周波数と、PWM信号の周波数との干渉による不安定動作を排除し、PWM信号に対し直流高電圧の出力電圧をリニアに変化させることにより、スナバ回路の使用を省略した小型で安価な直流高電圧電源の駆動回路を提供することにある。

【0022】

【課題を解決するための手段】請求項1に示す本発明の直流高電圧電源の駆動回路は、直流電源により駆動され、入力巻線と出力巻線及びベース巻線を有し、その出力巻線から交流高電圧を出力する昇圧トランジスタと、前記出力巻線に接続された整流器及びコンデンサより成る高電圧整流平滑回路と、前記昇圧トランジスタの入力巻線への印加電圧をオン／オフするパワートランジスタと、前記昇圧トランジスタのベース巻線とパワートランジスタのベース間に介挿した電流制御手段により前記パワートランジスタのベース電流を制限して、前記昇圧トランジスタおよび高電圧整流平滑回路よりなる昇圧回路の共振周波数とパワートランジスタのオン／オフタイミングを一致させる同期駆動回路と、前記電流制御手段を制御する制御回路とを備えて構成したことを特徴とする。

【0023】請求項2に示す直流高電圧電源の駆動回路においてパワートランジスタのベース電流を制限する電流制御手段は、接合形トランジスタと、前記接合形トランジスタのコレクタと昇圧トランジスタのベース巻線との間に介挿した抵抗とコンデンサよりなることを特徴とする。

【0024】請求項3に示す直流高電圧電源の駆動回路におけるPWM信号のデューティ比に対応する電流制御手段の電流制限値は、抵抗とコンデンサによる1次ローパスフィルタによるシリアルDA変換回路によって生成したPWM信号のデューティ比に応じたアナログ信号電圧によって、接合形トランジスタのコレクタ電流の飽和値を制御することにより設定することとしたことを特徴とする。

【0025】請求項4に示す直流高電圧電源の駆動回路における同期駆動回路は、前記昇圧トランジスタのベース巻線に発生する起電力を、コンデンサ、抵抗および接合形トランジスタを介して前記パワートランジスタのベースに正帰還するように構成した自励発振回路からなり、PWM信号の周波数と無関係に設定可能としたことを特徴とする。

【0026】

【作用】請求項1記載の直流高電圧電源の駆動回路によれば、直流電源により駆動され、入力巻線と出力巻線及びベース巻線を有し、その出力巻線から交流高電圧を出力する昇圧トランジスタと、前記出力巻線に接続された整流器及びコンデンサより成る高電圧整流平滑回路と、前記昇圧トランジスタの入力巻線への印加電圧をオン／オフするパワートランジスタと、前記昇圧トランジスタのベース巻線とパワートランジスタのベース間に介挿した電流制御手

段により前記パワートランジスタのベース電流を制限して、前記昇圧トランジスタおよび高電圧整流平滑回路よりなる昇圧回路の共振周波数とパワートランジスタのオン／オフタイミングを一致させる同期駆動回路と、前記電流制御手段を制御する制御回路とを備えて構成したので、外部より与えられるPWM信号のデューティ比に応じて、前記電流制御手段の電流制限値をリニアに可変することが可能となり、この結果、前記直流高電圧の出力電圧をリニアに変化させることができ、前記PWM信号のデューティ比の可変範囲を拡大できると共に、入力巻線に流れる電流値が過電流になることを良好に阻止することができる。

【0027】請求項2記載の直流高電圧電源の駆動回路によれば、パワートランジスタのベース電流を制限する電流制御手段として、接合形トランジスタと、前記接合形トランジスタのコレクタと昇圧トランジスタのベース巻線との間に介挿した抵抗とコンデンサにより構成したので、前記パワートランジスタのベース電流を容易に制限することが可能となる。

【0028】請求項3記載の直流高電圧電源の駆動回路によれば、PWM信号のデューティ比に対応する電流制御手段の電流制限値を、抵抗とコンデンサによる1次ローパスフィルタによるシリアルDA変換回路によって生成したPWM信号のデューティ比に応じたアナログ信号電圧によって、接合形トランジスタのコレクタ電流の飽和値を制御することにより設定するようにした直流高電圧電源の出力電圧値の大きさを、PWM信号のデューティ比を可変させることにより容易に設定することができる。

【0029】請求項4記載の直流高電圧電源の駆動回路によれば、同期駆動回路を、前記昇圧トランジスタのベース巻線に発生する起電力を、コンデンサ、抵抗および接合形トランジスタを介して前記パワートランジスタのベースに正帰還する自励発振回路とすることにより、昇圧回路の共振周波数とパワートランジスタのオン／オフタイミングが一致して、所謂ゼロボルトスイッチング(ZVS)動作が可能となり、その結果、寄生振動および騒音の発生を防止することができ、また、前記共振周波数とPWM信号周波数の干渉による不安定動作の解消が可能となり、さらに、出力電圧波形にはスパイク電圧が発生しないので、該スパイク電圧を除去するためのスナバ回路が不要となる等、性能の向上、小型化が達成でき非常に経済的である。

【0030】

【実施例】以下、本発明の直流高電圧電源の駆動回路を複写機に使用した場合の実施例について説明する。なお、従来の直流高電圧電源の駆動回路と同一構造をなす部分については、同一記号を付して説明する。図1において8は、昇圧トランジスタTの入力巻線T₁に直列に挿入され、昇圧トランジスタTに電力を供給する直流電源を示

し、15は直流電源8に並列に挿設した抵抗r₃、r₄、r₅、r₆及びトランジスタ16と、前記抵抗r₆とトランジスタ16の接続点xに一方端を接続してなる抵抗r₇と、前記抵抗r₇の他方端に一方端を接続し、他方端を直流電源の負極側に接続したコンデンサC₃とによって構成された制御回路であり、9は前記制御回路15の抵抗r₃とr₄の接続点に出力端を接続したパルス幅変調回路である。

【0031】17は前記昇圧トランジスタTのベース巻線T_Bと、一方端を前記ベース巻線T_Bに接続するコンデンサC₄と、そのコンデンサC₄の他方端に一方端を接続してなる抵抗r₈と、前記抵抗r₈の他方端にコレクタを接続する接合形トランジスタ18より構成される同期駆動回路であり、19は前記接合形トランジスタ18のエミッタにベースを接続し、コレクタに昇圧トランジスタTの入力巻線T₁の他端を接続してなるパワートランジスタである。

【0032】20は入力巻線T₁、ベース巻線T_B、出力巻線T_Oよりなる昇圧トランジスタTの出力端に接続され、前記昇圧トランジスタTの出力電圧・電流を平滑するコンデンサC₅、C₆と整流器D₃、D₄及び抵抗r₉を具備して構成した倍電圧方式の高電圧整流平滑回路である。また、Rは図6に示した従来例同様、前記高電圧整流平滑回路20の出力電圧により駆動制御される制御対象物、即ち、複写機の像形成部を構成する露光器等の負荷である。

【0033】つづいて、図1に示す直流高電圧電源の駆動回路の動作について説明する。まず、図3に示したパルス幅変調回路9から所定のデューティ比に調節された“H”および“L”的電圧値を有するPWM信号が、図1に示す制御回路15のトランジスタ16のベースに入力されると、トランジスタ16は前記PWM信号が“H”的時オンし、“L”的時オフする。トランジスタ16がオンすると、そのコレクタにはコレクタ電流I_Cが流れ、この時、前記抵抗r₆と抵抗r₇の接続点xの電位は0[V]に非常に近い値となるため、抵抗r₇とコンデンサC₃の直列回路の両端電圧も非常に小さくなり、その結果、前記コンデンサC₃に蓄えられる電荷は少なくなる。

【0034】また、トランジスタ16のベースに入力されるPWM信号が“L”的時には、前記トランジスタ16はオフされるため、前記トランジスタ16のコレクタには電流が流れず、前記抵抗r₆と抵抗r₇の接続点xの電位は0[V]に比して高い値、具体的には直流電源8の電圧値と同一の電圧値となり、その結果、前記抵抗r₇とコンデンサC₃の直列回路の両端電圧も上昇するため、抵抗r₇を流れる電流が増大し、その結果、コンデンサC₃に蓄えられる電荷の量も大きくなる。つまり、パルス幅変調回路9からトランジスタ16のベースに入力されるPWM信号の電圧波形が図4の(a)に示

す波形から、同図(c)に示す波形のようにオフ時間($t_2 - t_1$)が長くなるにしたがって、制御回路15のコンデンサC₃に蓄えられた電荷の量も、図4の(b)に示す少量のものから同図(d)に示すように増加していく。

【0035】そして、コンデンサC₃に蓄えられた電荷量はそのまま接合形トランジスタ18のベース電流I_{B'}となり、この接合形トランジスタ18のコレクタ電流I_{C'}の最大値(飽和値)を制御する。つまり、制御回路15はPWM信号のデューティー比に応じて、リニアに接合形トランジスタ18のコレクタ電流の飽和値の制御動作を行うものである。

【0036】次に、パワートランジスタ19の初期動作について説明する。初期時においては、昇圧トランジスタTに電流は流れていないので、昇圧トランジスタTのベース巻線T_Bには起電力が発生しておらず、従って、パワートランジスタ19は接合形トランジスタ18のベース電流I_{B'}によってオンを開始する。具体的には、前記PWM信号に応じて流れ込む接合形トランジスタ18のベース電流I_{B'}は、エミッタを介してパワートランジスタ19のベース電流I_B=I_{B'}となり、これによりパワートランジスタ19が僅かにオン状態となる。

【0037】この僅かなオン状態により、昇圧トランジスタTの入力巻線T_Iには直流電源8より電流I_Cが流れ、それにより昇圧トランジスタTのベース巻線T_Bに起電力が発生する。そして、前記のようにベース電流I_{B'}を受けてオン状態となっている接合形トランジスタ18を介して、ベース巻線T_Bに発生する起電力と抵抗r_sおよび接合形トランジスタ18のコレクタ電流飽和値により定まる電流が、パワートランジスタ19のベースに入力される。

【0038】そして、前記パワートランジスタ19はベース電流I_B(=I_{E'})が供給される一層のオン状態となり、この状態が加速されてパワートランジスタ19は急速にオン状態に達する。この結果、パワートランジスタ19のコレクタには電流I_Cが昇圧トランジスタTの入力巻線T_Iのインダクタンスおよび負荷Rにより定まる傾きで、図5の(a)に記載した(i)で示すように増加していく。この時、パワートランジスタ19のコレクタ・エミッタ間電圧V_{CE}は、図5の(b)で示す

(ロ)のように0[V]付近まで下降し、また、入力巻線T_Iの両端電圧は図5の(c)で示す(h)のように一定値となっている。ここで、前記パワートランジスタ19のベース電流I_Bは、前記PWM信号のデューティ比に対してリニアに制御される接合形トランジスタ18のコレクタ電流I_Cの飽和値により定まるので、やがてパワートランジスタ19は飽和動作領域に入り、コレクタ電流I_Cは増加しなくなる。つまりI_C=I_B×h_fe(h_fe:パワートランジスタの電流増幅率)になるとコレクタ電流I_Cは変化しなくなる。

【0039】すると、入力巻線T_Iに流れる電流I_Cにより励磁されるベース巻線T_Bの電圧値は、図5の

(d)で示す(ii)のように急下降するため、それに伴って、接合形トランジスタ18のコレクタ電流I_{C'}も減少し、これによってパワートランジスタ19のベース電流I_Bも減少していく。パワートランジスタ19のベース電流I_Bが減少すると、当然パワートランジスタ19のコレクタ電流I_Cの飽和値も減少するため、前記パワートランジスタ19のコレクタ電流I_Cは図5の(a)で示す(h)のように0に近づいていく、その結果、入力巻線T_Iの両端電圧も図5の(c)で示す(h)のように下降する。

【0040】この結果、さらにベース巻線T_Bの両端電圧が急速に下降していく、パワートランジスタ19のコレクタ電流I_Cが減少して、以後前記動作を繰り返すことにより、ついには、前記ベース巻線T_Bの両端電圧は負の値をとるようになる。その時、制御回路15から接合形トランジスタ18のベースに供給されていたベース電流I_{B'}は、前記ベース巻線T_Bに発生した負の電圧により接合形トランジスタ18のベースからコレクタを介して吸い込まれるため、前記接合形トランジスタ18のエミッタには電流が流れることなくなり、パワートランジスタ19のベース電流I_Bはゼロとなって、パワートランジスタ19は急速にオフ状態となる。つまり、前記パワートランジスタ19のオフタイミングは昇圧トランジスタTの入力巻線T_Iに流れれる電流I_Cの値がパワートランジスタ19のコレクタ電流飽和値に達した時点で開始され、急速にオフ状態に至る。

【0041】このオフ状態は、オフ直前に昇圧トランジスタTの自己インダクタンスに蓄積された電磁エネルギー(LI²/2)(I:入力巻線T_Iに流れる電流I_Cの実効電流)の放電に伴い、昇圧トランジスタTのベース巻線T_Bに発生している負の起電力が減少した結果、抵抗r_sを介して前記接合形トランジスタ18のコレクタからベースに流れ込む負の電流に対して、前記PWM信号に応じて抵抗r_sから接合形トランジスタ18のベースに流れ込む電流I_{B'}が大きくなつて、パワートランジスタ19のベースに正極性のベース電流I_Bが流れ始めるまで持続される。

【0042】パワートランジスタ19のベースに正極性のベース電流I_Bが流れ始めると、上述の初期時におけるパワートランジスタ19のオン状態と同一の状態となり、以下パワートランジスタはオン/オフ動作を繰り返し、自励発振動作を行ふ。

【0043】前記一連の動作は次式に示すトランジスタのアンペアーナンの法則により、パワートランジスタ19のベース電流I_BをPWM信号のデューティ比に対しリニアに制御される接合形トランジスタ18のコレクタ電流I_{C'}の飽和値によってコントロールすることにより、出力巻線T_Oに流れれる電流I_Oの最大値をコントロール

するというものである。

【0044】

【0045】ここで、 $N_O : 出力巻線 T_O の巻数$ 、 $I_O : 出力巻線 T_O に流れる電流$

$N_I : 入力巻線 T_I の巻数$
をそれぞれ示す。

【0046】したがって、図1に示した本発明の直流高電圧電源の駆動回路は、外部からのPWM信号のデューティ比によって直流高電圧電源の出力電圧値を制御し、また、パワートランジスタのオン／オフタイミングは、ベース巻線に発生する起電力を、前記パワートランジスタのベースに正帰還して決定する自励発振回路として構成することにより、出力電圧値は前記PWM信号のデューティ比に対してリニアに追従するとともに、昇圧回路の共振周波数とPWM信号周波数の干渉による不安定動作を解消できる。

【0047】

【発明の効果】本発明は、以上説明した通りであるので、次に示すような効果を奏する。請求項1記載の直流高電圧電源の駆動回路によれば、昇圧トランスと整流器及びコンデンサによる高電圧整流平滑回路よりなる昇圧回路の共振周波数と、前記入力巻線に印加される電圧をオン／オフするパワートランジスタのオン／オフタイミングとを一致させると共に、前記パワートランジスタのベース電流を制御する電流制御手段を、外部からのPWM信号により駆動される制御回路により制御することにより、前記PWM信号のデューティ比に応じて、前記電流制御素子の電流制限値をリニアに可変して、前記直流高電圧の出力電圧をリニアに変化させることができ、それにより前記PWM信号のデューティ比の可変範囲を拡大できると共に、入力巻線に流れる電流値が過電流になることもない。

【0048】請求項2記載の直流高電圧電源の駆動回路によれば、前記電流制御手段を、接合形トランジスタと、前記接合形トランジスタのコレクタと昇圧トランスのベース巻線との間に介挿した抵抗とコンデンサにより構成したので、前記パワートランジスタのベース電流を容易に制限することが可能となる。

【0049】請求項3記載の直流高電圧電源の駆動回路によれば、PWM信号のデューティ比に対応する電流制御手段の電流制限値を、抵抗とコンデンサによる1次ローパスフィルタによるシリアルDA変換回路によって生成したPWM信号のデューティ比に応じたアナログ信号電圧によって、接合形トランジスタのコレクタ電流の飽和

【数2】

和値を制御することにより設定するようにした直流高電圧電源の出力電圧値の大きさを、PWM信号のデューティ比を可変させることにより容易に設定することができる。

【0050】請求項4記載の直流高電圧電源の駆動回路によれば、同期駆動回路を、前記昇圧トランスのベース巻線に発生する起電力を、コンデンサ、抵抗および接合形トランジスタを介して前記パワートランジスタのベースに正帰還する自励発振回路とすることにより、昇圧回路の共振周波数とパワートランジスタのオン／オフタイミングが一致して、所謂ゼロボルトスイッチング(ZVS)動作が可能となり、その結果、寄生振動および騒音の発生を防止することができ、また、前記共振周波数とPWM信号周波数の干渉による不安定動作の解消が可能となり、さらに、出力電圧波形にはスパイク電圧が発生しないので、該スパイク電圧を除去するためのスナップ回路が不要となる等、性能の向上、小型化が達成でき非常に経済的である。

【図面の簡単な説明】

【図1】本発明の直流高電圧電源の駆動回路の実施例を示す回路構成図である。

【図2】複写機等の像形成部を概略的に示す構成図である。

【図3】パルス幅変調回路を示す図である。

【図4】PWM信号のオン／オフタイミングとコンデンサに蓄えられる電荷量との関係を示す波形図である。

【図5】パワートランジスタのコレクタ電流とコレクタ・エミッタ間電圧と入力巻線T_Iの両端電圧およびベース巻線T_Bの両端電圧の波形対照図である。

【図6】従来の直流高電圧電源の駆動回路の実施例を示す回路構成図である。

【符号の説明】

8 直流電源

9 パルス幅変調回路

10, 19 パワートランジスタ

15 制御回路

17 同期駆動回路

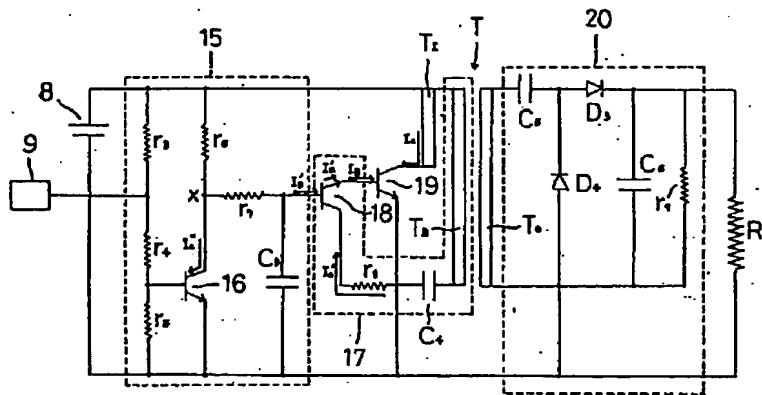
18 接合形トランジスタ

11, 20 高電圧整流平滑回路

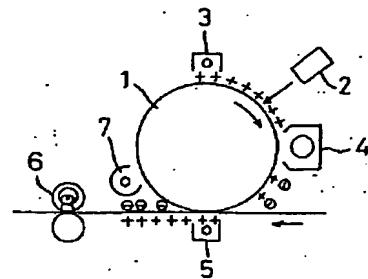
T 昇圧トランス

R 負荷

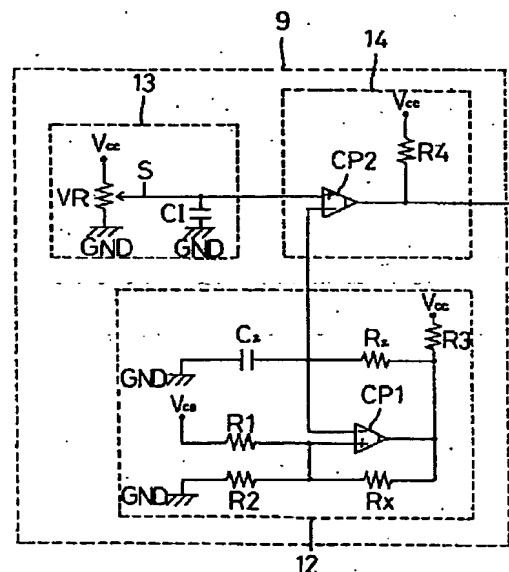
【図1】



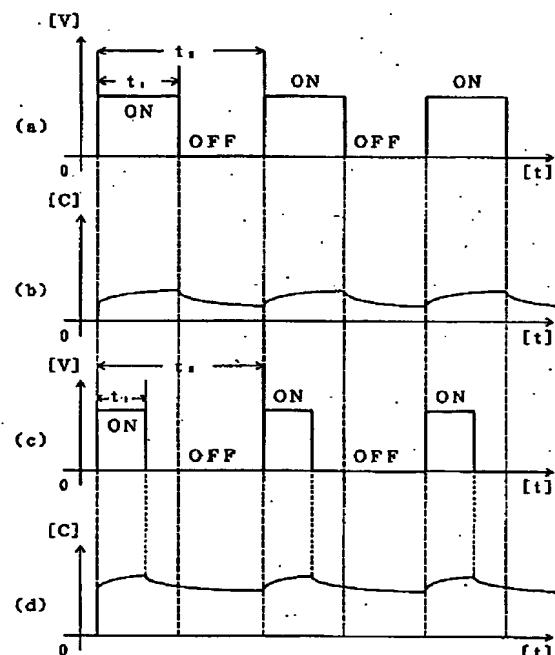
【図2】



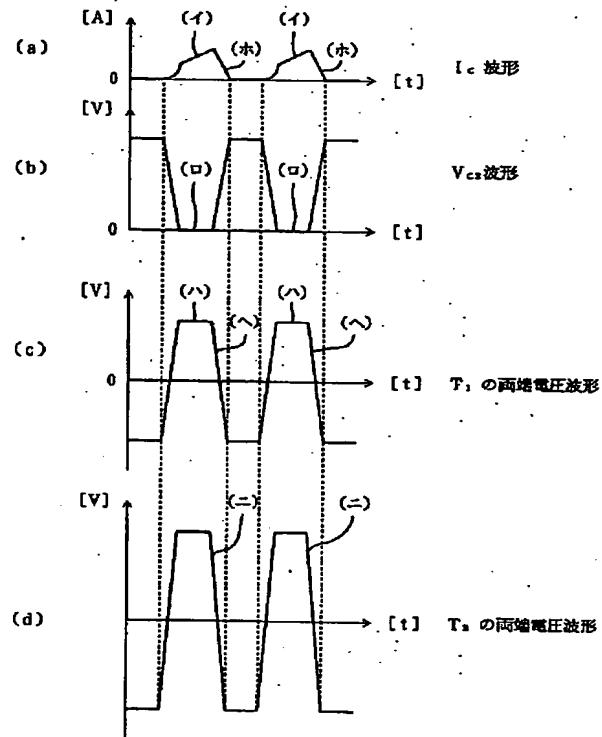
【図3】



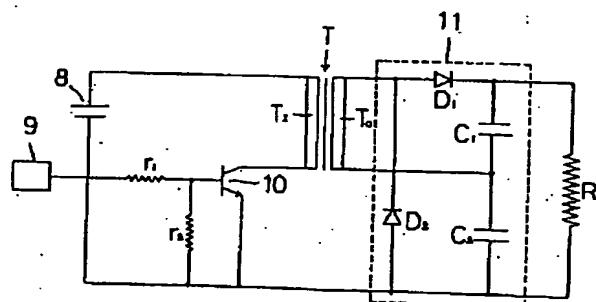
【図4】



【図5】



【図6】



THIS PAGE BLANK (USPTO)